

ПОБУДОВА КАНАЛІВ ПЕРЕДАЧІ ДАНИХ З ВИКОРИСТАННЯМ ПРОГРАМОВАНИХ ЛОГІЧНИХ ІНТЕГРАЛЬНИХ СХЕМ

Даниленко О.Ф., Скородєлов В.В., Ягнуков С.Ю.

*Національний технічний університет
«Харківський політехнічний інститут»,
м. Харків*

В роботі розглядаються особливості застосування програмованих логічних інтегральних схем (ПЛІС) для реалізації існуючих Інтернет-протоколів, які використовуються при обміні даними в комп'ютерних мережах (КМ).

Обґрунтовано актуальність такої задачі та необхідність проведення нових досліджень та розробок. Відмічається що, у зв'язку з поширенням таких передових технологій як інтернет-речей (ІоТ), вбудованих систем та «хмарних» обчислень суттєво збільшилися вимоги до швидкості передачі даних між пристроями (комп'ютерами), які взаємодіють між собою в КМ. Інкапсуляція та декапсуляція (формування пакетів передачі) даних при великих швидкостях потребує значних потужностей центральних процесорів (ЦП) загального призначення. По своїй природі ЦП не може в один і той же момент часу займатися одразу двома важливими завданнями обміну даними: формування пакетів та обробка даних. Крім цього, часто виникає проблема невідповідності протоколів обміну даними між пристроями з різними інтерфейсами, що потребує застосування апаратних перетворювачів протоколів, а останні налаштовані тільки на один варіант зміни протоколу. Таким чином, для вирішення цих двох проблем необхідно мати додаткові апаратні системи, що можуть програмно налаштовуватися на різні типи протоколів, змінювати їхні параметри а також звільнити ЦП від зайвих дій при підготовці даних для передачі.

Приводяться результати огляду та аналізу існуючих досліджень та розробок в цьому напрямку а також їх переваг і недоліків для використання в КМ. Обґрунтовуються переваги використання FPGA як мережевого співпроцесору для невеликих мікроконтролерних пристроїв і систем.

Запропоновано модуль на ПЛІС FPGA XC7Z020-1CLG484C компанії Xilinx для передачі та прийому пакетів одного із найпопулярніших стеку протоколів UDP/IP по фізичному каналу типу Ethernet, який за обсягом ресурсів FPGA значно випереджає подібні модулі, що представлені на ринку.

Для обміну даних між ЦП та FPGA розроблено проміжне IP-ядро, що реалізує протокол AMBA (Advanced Microcontroller Bus Architecture) версії AXI.

Приведені результати тестування даного модуля на реальній апаратурі за допомогою програми Wireshark, що дозволяє користувачу переглядати та аналізувати весь інтернет-трафік мережі у реальному часі. Модуль протестовано на різних розмірах корисних даних Ethernet-фрейму – від 48 до 1500 байт. Досягнута швидкість передачі даних складає 200 Мбіт/с.