

СЕКЦІЯ 8. МІКРОПРОЦЕСОРНА ТЕХНІКА В АВТОМАТИЦІ ТА ПРИБАДОБУДУВАННІ

МОДЕЛИРОВАНИЕ НЕИСПРАВНОСТЕЙ ОПЕРАТИВНОЙ ПАМЯТИ В АРХИТЕКТУРАХ SoC

Александров Д.А., Либберг И.Г.

*Национальный технический университет
«Харьковский политехнический институт», г. Харьков*

В настоящее время наблюдается повышенный интерес к вопросам диагностирования оперативной памяти (ОЗУ). Этот интерес связан с тем, что ОЗУ является доминирующим компонентом как в составе современных компьютерных систем – внешняя оперативная память, так и в составе встроенных систем System on Chip (SoC) – встроенная оперативная память. По некоторым оценкам, встроенная память занимает более 90 % площади кристалла SoC, а ее тестирование является сложной технической задачей.

Для встроенного тестирования ОЗУ в системах SoC применяется особый класс алгоритмов тестирования линейной длины типа «Марш».

Общепринятой моделью неисправностей оперативной памяти является множество моделей Ван дер Гура .

Для моделирования неисправностей ОЗУ, которое является сложным электронным устройством с квазирегулярной структурой, представляется целесообразным перейти на макро уровень описания устройства. Таким макро уровнем является автоматная модель памяти впервые предложенная Хэйесом.

Нами показано, что любая неисправность в рамках модели Ван дер Гура отображается на автоматной модели в виде искажения переходов между состояниями автомата под действием операций записи или считывания. Таким образом, задача моделирования неисправностей ОЗУ сводится к исследованию поведения автоматной модели. Очевидно, что задача моделирования автомата с числом ячеек памяти даже в несколько К-бит является нерешаемой в силу громадного числа внутренних состояний.

Предлагается ограничить модель неисправностей взаимного влияния между, максимум, 5-ю ячейками памяти, которые располагаются либо топологически близко на кристалле, либо являются соседними в адресном пространстве. Обработка такой модели на компьютере не требует значительных временных затрат.

Программная реализация такой модели произведена в рамках программного пакета RAMST, разработанного на кафедре АУТС НТУ «ХПИ». Проведенные исследования позволили промоделировать процесс обнаружения неисправностей на ряде известных тестовых последовательностей, применяемых для реализации схем встроенного самотестирования в архитектурах SoC , и провести оценку их диагностических свойств.