

АНАЛІЗ ТОПОЛОГІЙ МЕРЕЖ НА ЧІПІ ДЛЯ ПАРАЛЕЛЬНИХ ОБЧИСЛЕНЬ

Романов О.Ю., Антонюк О.І., Лисенко О.М.

Національний технічний університет України
«Київський політехнічний інститут», м. Київ

На фоні значного прогресу в галузі електроніки для сучасних вбудованих систем характерна тенденція до все більшого застосування архітектурних рішень на базі систем на чипі (SoC). Сучасна SoC містить у собі велику кількість процесорів та периферійних вузлів, що постійно збільшується [1]. Тому все більше застосовуються багатопроцесорні системи на чипі, в яких стандартні способи поєднання обчислювальних ядер за допомогою шин є малоефективними та витісняються альтернативними архітектурами – мережами на чипі (NoC) [2]. За таких тенденцій виникає проблема переходу від лінійних підходів до синтезу оптимальних архітектур NoC з паралельною обробкою та обміном даних, які здатні ефективно вирішувати складні обчислювальні завдання [3].

Організація окремих вузлів у NoC зазвичай реалізується під'єднанням кожного вузла до власного роутера, що зв'язаний із іншими роутерами і організують обмін даними у мережі. Найбільш поширеною є звичайна mesh-топологія («сітка») [4], основними перевагами якої є простота реалізації, в тому числі вузлів маршрутизації – роутерів, а також наявність нескладних алгоритмів маршрутизації. Головним недоліком даної архітектури є довгий шлях між віддаленими між собою вузлами, що призводить до перевантаження окремих ділянок мережі та неприпустимих затримок пакетів даних. Альтернативою є використання тороїдальної і гіперкуб топологій, які за рахунок більших затрат на свою організацію зменшують шлях між різними вузлами (так, в мережі 3x4 вузли для mesh максимальна відстань складає 5 переходів, а для інших двох – 3) [2, 4].

Для порівняння швидкодії роботи мереж трьох описаних топологій промодельовано взаємодію 12 програмних ядер MicroBlaze на платформі Virtex-4 (Xilinx). Показано ефективну роботу топології mesh при організації NoC із кількістю ядер до 10, однак із їх збільшенням доцільним є використання інших архітектурних рішень, зокрема, тороїдальної та гіперкуб [2]. В свою чергу це потребує вирішення таких складних задач, як аналіз швидкості обміну даними у мережі, енергоспоживання, пропускнуєї спроможності, апаратних затрат, розробки еталонних тестів, пошуку оптимальних алгоритмів маршрутизації та засобів їх реалізації тощо [5].

Список літератури: 1. *Cor Meenderinck, et al.* Parallel Scalability of Video Decoders. – Springer Science+Business Media, 2008. 2. *Manuel S., et al.* The Routability of Multiprocessor Network Topologies in FPGAs. – Toronto: University of Toronto, 2005. 3. *W.J. Dally, B. Towles.* Route packets, not wires: on-chip interconnection network, DAC, 2001, pp. 684–689. 4. *Hoi-Jun Yoo, et al.* Low-power NoC for high-performance SoC design. // System-on-chip design and technologies, No. 1. – 2008. 5. *Axel J., Hannu T.* Networks on Chip. // Kluwer Academic Publishers. – Dordrecht, 2003. 6. *Zhonghai Lu, Axel J., et al.* Network-on-Chip Micro-Benchmarks. – Sweden: Royal Institute of Technology, 2008.