

Ивашко А.В., Луни́н Д.О., Перехід В. В., Україна, Харків

СТРУКТУРА ГЕНЕРАТОРА ПОСЛІДОВНОСТІ АДРЕСІВ ДЛЯ ПРОЦЕСОРІВ ШВИДКОГО ТЕОРЕТИКО-ЧИСЕЛЬНОГО ПЕРЕТВОРЕННЯ

У доповіді розглянуті структури генераторів адресів для процесорів швидкого теоретико-чисельного перетворення з прорідженням за частотою. Проведено порівняльний аналіз різних варіантів ПЛІС-реалізацій генераторів адресів, наведені оцінки швидкодії та апаратної складності ПЛІС-реалізацій генераторів. Наведені часові діаграми, що підтверджують працездатність розроблених структур.

Ивашко А.В., Луни́н Д.А., Переход В. В., Украина, Харьков

СТРУКТУРА ГЕНЕРАТОРА ПОСЛЕДОВАТЕЛЬНОСТИ АДРЕСОВ ДЛЯ ПРОЦЕССОРОВ БЫСТРОГО ТЕОРЕТИКО-ЧИСЛОВОГО ПРЕОБРАЗОВАНИЯ

В докладе рассмотрены структуры генераторов адресов для процессоров быстрого теоретико-числового преобразования с прореживанием по частоте. Проведен сравнительный анализ различных вариантов ПЛИС-реализаций генераторов адресов, приведены оценки быстродействия и аппаратной сложности ПЛИС-реализаций генераторов. Приведены временные диаграммы, подтверждающие работоспособность предложенных структур.

Ivashko A.V., Lunin D.O., Perehid V.V., Ukraine, Kharkov

ADDRESS GENERATOR STRUCTURE FOR FAST NUMBER-THEORETIC TRANSFORM PROCESSOR

Address generator structures for fast number-theoretic processors with decimation on frequency are considered in presented report. Compatible analysis of different structures of FPGA-based address generators is carried out, hardware complexity and productivity estimations are considered. Time diagrams of proposed structures are carried out.